

Schaltzeiten

DT2

Anstiegszeit rise time t_{TLH} 10% → 90% des 1'-Regels	Abfallzeit fall time t_{THL} 90% → 10% des 1'-Regels	Impulsbreite 50% steigende Flanke bis 50% fallende Flanke	Verzögerungszeit propagation delay zu Ein-/Ausgang (gem. bei 50%) t_{PLH} Ausgang 0 → 1 t_{PHL} Ausgang 1 → 0
---	---	---	---

Hinterflankensteilheit: bei flachen Flanken verzerrt das Eingangssignal auch das Ausgangssignal zu lang im Umschaltbereich U_{TH}
 → Störempfindlichkeit, kleine Eingangsspg. können zu gr. Ausgangsschwankungen führen (Mehrfachschalten)
 → hoher Querstrom (bei CMOS), höhere Verlustleistungen

DTL: Schaltschwelle: $U_S = U_{TH} = U_{BE, sat} + U_{D3} + U_{D4} - U_{D1} / \beta_{D2} = 1,4V$ Regelverschiebungsläden

Regel	TTL-Logik (110)	CMOS (Eingang)	CMOS (Ausgang)
L:	0-0,8V	0-0,9V	0-0,05V
H:	2,0-5,0V	3,5-5,0V	4,95-5,0V



Lösung:



→ CMOS-Ausgänge sind TTL-kompatibel, nicht jedoch die CMOS-Eingänge.
 Hilfe: TTL-kompatibler CMOS-Baustein
 TTL mit Open-Collector-Ausgang

Lastfaktoren

erlauben Verschaltungen von Gattern schnell bezüglich ihrer erlaubten Belastung beurteilen zu können → Einheitgatter

Eingangslastfaktor: Faktor, um den der Eingangsstrom größer ist, als beim Einheitgatter $F_{an-In_H} = \frac{I_{IH}}{I_{IH,N}}$, $F_{an-In_L} = \frac{I_{IL}}{I_{IL,N}}$

Ausgangslastfaktor: Anzahl Eingänge eines Einheitgatters, mit denen der Ausgang belastet werden darf $F_{an-Out_H} = \frac{I_{OH}}{I_{OH,N}}$, $F_{an-Out_L} = \frac{I_{OL}}{I_{OL,N}}$

TX-Übertragungskennlinie: Langsame Variation der Eingangsspg. U_i eines Gatters über den gesamten Spg.-bereich
 → Beobachtung der zugehörigen Ausgangsspg. U_o am Ausgang des Gatters

Schwellwert U_{TH} : Punkt, an welchem die Kurve die gr. Steigung aufweist ($U_i = U_o$)



Störspg.-abstand

Spg., um die man einen Ausgang variieren darf, ohne das ein Eingang derselben Logikfamilie in seinen verbotenen Bereich gelangt

statischer Störspg.-abstand: **Breite des Störimpulses > Gatterdurchlaufzeit** $S_H = U_{OHmin} - U_{IHmin}$ $S_L = U_{OLmax} - U_{OLmax}$

dyn. Störspg.-abstand: **Breite des Störimpulses < Gatterdurchlaufzeit** → Gatter sind zunehmend unempfindlicher gegen Störungen.
 → kurze Störungen, Pulse oder Glitches bringen das Gatter nicht zum Durchschalten

Verwendung von TTL- & CMOS-Bausteinen

unbenutzte Eingänge: müssen auf def. Logikpegel ('H'-v.'L'-Pegel) gelegt werden oder Zusammenschaltung mit benutzten Eingängen (höherer Fan-In)
 TTL-Eingänge: → unbeschaltete TTL-Eingänge erzeugen ein 'H'-Pegel am Eingang

CMOS-Eingänge: sehr hochohmig → kleinste Ladungen können Änderungen des Logikpegels erreichen z.B. durch kapazitive Kopplung (Hand in der Nähe der Schaltung) Entstehung eines Querstroms (N- & P-MOS-Zweig leiten gleichzeitig)

Ausgänge: unbenutzte Ausgänge brauchen nicht beschaltet werden!

Positive & negative Logik

Zuordnung von Logikpegeln ('L', 'H') (phys. hoch) zu Logikzuständen ('0', '1')
 ~ Wahrheitstabelle

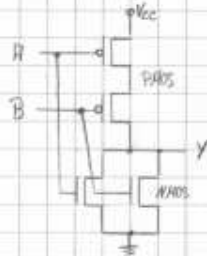
TTL & CMOS-pos. Logik ECL: neg. Logik → Kennzeichnung durch Polaritätsindikator am Ein-/Ausgang



de Morgan

$$Y = \overline{A \cdot B} = \overline{A} \vee \overline{B}$$

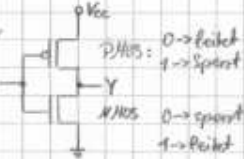
C MOS-AND:



C MOS-NAND:



Inverter

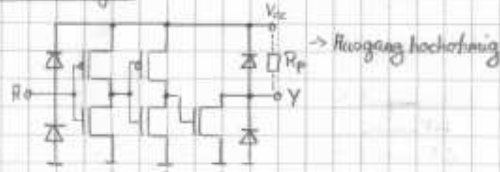
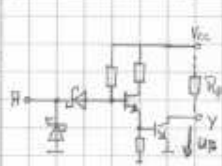


PMOS: 0 -> leitend
1 -> sperrt
NMOS: 0 -> sperrt
1 -> leitend

Open-Collector- / Open-Drain-Schaltungen

Q-Rücksetz: Ausgang L-Pegel

Q-Sperre: Ausgang H-Pegel



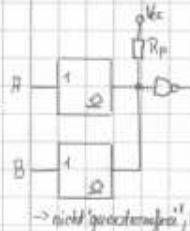
-> Ausgang hochohmig

für Realisierung von wired-AND, Busstrukturen, Interface zu anderen Logik-Familien (TTL-CMOS)

wired-AND

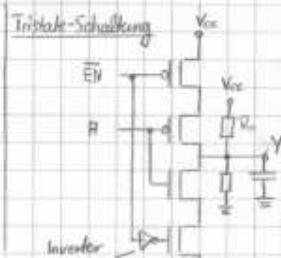
L-Typ
L-dominant -> ORER-

H-Typ
H-dominant -> AND-Verknüpfung

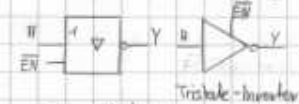


-> nicht 'speicherfrei', hohe Stromaufnahme

Tristate-Schaltung



Schalt-symbol: EN = Steuerungseingang



EN	A	Y
0	0	1
0	1	0
1	0	Z hochohmig
1	1	Z flach

Busysteme

'Bus'-Prinzip:

Verbindung von Daten-, Adress-Leitungen v. Steuerern von digitalen Baugruppen. Signalleitungen werden allen Baugruppen zur Verfügung gestellt (Summellösungen)

Bus-Treiber (Sender)

es darf immer nur ein Sender geben, d.h. aktiver Treiber, alle anderen Teilnehmer können mithören (Broadcast) -> Treiber müssen einen hochohmigen Zustand aufweisen (OD, DC, Tristate)

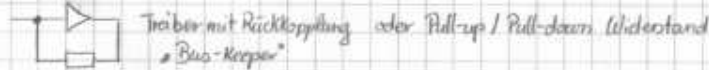
Bus-Transceiver:

Arbitrar (Arbitration)

Sender (Transmitter) & Empfänger (Receiver) im gleichen Bauelement. Kontrolliert den Zugriff verschiedener Geräte auf gemeinsam verwendete Ressourcen



Bus-Halteschaltung: (Empfänger)



74er-Bauzeichensystem

SN 74 ALS OC HV Technologie

- TTL: kein Buchstabe
ALS (Advanced Low-Power Schottky)
AS (Advanced Schottky)
F (FAST-TTL)
H (High-Speed TTL)
L (Low-Power TTL)
LS (Low-Power Schottky)
S (Schottky)

- TTL-Kompatibel:
ABT (Advanced Bipolar CMOS)
ACT (Advanced CMOS)
BCT (Bipolar CMOS)
HCT (High-Speed CMOS)

- CMOS: PC (Advanced CMOS)
ALVC (Advanced Low-Voltage CMOS)
HC (High-Speed CMOS)
LV (Low-Voltage HCMOS)
LVC (Low-Voltage CMOS)

BiCMOS: LVT (Low-Voltage Technology)

Programmierbare Funktionsspeicher

PLD

(programmable logic device); in gr. Stückzahl gefertigter Standardbaustein; applikationsspezifischer Baustein (ASIC) durch Programmierung; je nach eingesetzter Speichertechnologie reprogrammierbar; nur bestimmte Konfigurationen; Prototyping

Systematisierung d. PLD's

	SPLD (simple PLD)	CPLD (complex PLD)	FPGA (field programmable gate array)
Globale Architektur	1 Logikeinheit (LE)	< 100 LE; mehrere Makrozellen bilden LAB	> 100 LE
Verbindung zw. LEs	keine	globale Verbindungen	globale + lokale Verbindungen + Intraconnect
Realisierung der Kombinatorik	PAL, PLA, ROM, GAL	PAL, PLA	LUT, mux, RAM
Programmierungstechnologie	Antifuse, EPROM, EEPROM	Antifuse, EPROM, EEPROM, SRAM	Antifuse, EEPROM, SRAM
Granularität		grobkörnig	feinkörnig
Timing-Modell		einfaches Modell, ca. 100, schaltungsabh.	Komplex → sehr stark schaltungsabh.
Eignung		Komplex, schnelle SW → Skulpturlogik, wegen gr. Makrozellen; von Plätschel bei digi-Schaltungen (Näherung)	Datenpfade, Arithmetik, DSP, ASIC-Prototyping

FPGA

regelmäßiges Feld einer gr. Anzahl von kleinen Basiszellen; Verbindung der Basiszellen durch Programmierung; idR eingebettete Speicherblöcke in SRAM-Technologie für Programm-/Datenpeicher (einige Kbit)

Granularität:

(Körnig) je kleiner die Basiszelle, desto feiner die Granularität (Anzahl von äquivalenten AND2-Gattern)

ASIC

(Application Specific IC) FULL-Custom-ASIC (alle Masken kundenspezifisch) Semi-Custom-ASIC (Verdrahtung kundenspezifisch)

EPID

(Erasable PLD) prog. UND (EPROM-Transistoren), feste ODER

GAL

(Generic Array Logic) prog. UND (EEPROM-Transistoren → ISP), feste ODER

PAL

(Programmable Array Logic) prog. UND, feste ODER programmierbar durch Fuses/Bipolar

PGA

(Programmable gate Array) prog. UND, prog. NAND

PLA

(Programmable Logic Array) prog. UND, prog. ODER [PLACE: PLA-Typ, EEPROM, CMOS, Elektrisch lösbar]

PLE

Festwertspeicher feste UND, prog. ODER

Prog.-technologie

flüchtig / nicht flüchtig
Reprogrammierbarkeit
Programmierort

SRAM

flüchtig
beliebig oft
In-System (ISP)

EPROM

nicht flüchtig
reprogrammierbar
Programmiergerät

EEPROM

nicht flüchtig
ca. 10.000 mal
ISP

Antifuse / Fuse

nicht flüchtig
einmal (OTP: one-time prog.-abl.)
Programmiergerät

Sonstiges

Für Entwicklung

mit UV-Licht lösbar

für Entwicklung, el. lösbar

Übergangszustand: nicht funktionell
→ durch hohe Prog.-spg und funktionelle Verbindung erzeugt

→ LAB (Logic Array Block) werden über eine PIA (Programmable Interconnect Array) miteinander verbunden
→ alle VOs → Makrozellen sind mit der PIA verbunden

Schaltzeit eines SW:

$$t = t_{RD} + t_{PIA} + t_{LUD} + t_{su} \quad f_{max} \leq \frac{1}{t}$$

FIFO-Ringbuffer

leer: IN- → OUT-Zeiger zeigen beide auf die gleiche Stelle
voll: IN- (lese-) Zeiger ist 1 unter OUT- (Schreib-) Zeiger

Entwicklungsatz:

(Shannonsches Expansionstheorem)

$$f(x_n, \dots, x_1, x_0) = \bar{x}_0 \cdot f(x_n, \dots, x_1, 0) \vee x_0 \cdot f(x_n, \dots, x_1, 1)$$

Zustverhalten digitaler Schaltungen

Glitch

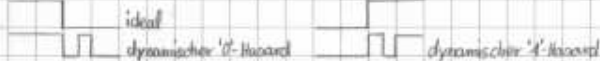
(Hazardfehler) sein Auftreten hängt von tatsächlichen Gegebenheiten ab (Laufzeit, Temperatur, Spg).
 Aufgrund der vorliegenden Schaltung besteht aber die Gefahr eines lauffzeitbedingten Fehlerhaltens, d.h. ein Hazard ist die logische vs. strukturelle Vorbedingung für einen Glitch.
 -> Ein Glitch kann bei einer asynchronen Schaltung ein Problem sein.
 -> kein Problem bei synchronen Schaltungen unter der Voraussetzung, dass die Periode lang genug ist, bis alle dynamischen Signalwechsel abgeklungen sind (längster Pfad)

Klassifizierung (Verhalten)

- Statischer Hazard



- Dynamischer Hazard



Klassifizierung (Ursache)

- Strukturhazard: Ursache des Hazards ist die schaltungstechnische Realisierung der Logikfunktion

- statischer Strukturhazard: Voraussetzung (Ein-Komponenten-Übergang) nur eine Eingangsvariable ändert sich
- > Beseitigung: durch zusätzliche Primimplikanten (Redundanz) z.B. 1HD-Gatter in zwei-stufiger DNF
- > Strukturhazards entstehen dadurch, dass die Variable negativ ^ nicht-neg. 'zusammentreffen'. Da bei einer DNF in der 1. Stufe $x_i \wedge \bar{x}_i$ niemals zusammentreffen können, können in einer DNF nur statische '1'-Strukturhazards vorkommen (KMF: nur statische '0'-Strukturhazards)
- dynamische Strukturhazard: Voraussetzung: mehr als eine Eingangsvariable ändert sich

Satz von Eichelberger: Jede DNF, die aus allen Primimplikanten besteht, ist frei von statischen ^ dynamischen Strukturhazards.

- Funktionshazard: Die Ursache des Hazards liegt in der Logikfunktion selbst. Jede Realisierung weist den Hazard auf

Digitale Rechnerarithmetik

Ein-Komplement (K1): bitweise Invertierung

Zwei-Komplement (K2): bitweise Invertierung (K1) +1

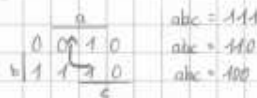
signed: $OV = co(n-1) \text{ XOR } co(n)$ unsigned: $cy = \begin{cases} co(n) & \text{Addition} \\ \text{Borrow} = \bar{cy} & \text{Subtraktion "Überlauf"} \end{cases}$

stat. Strukturhazard



$ac \vee bc \vee ab$

dyn. Strukturhazard

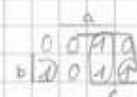


stat. FH hazard



$abc = 110$
 $abc = 010$
 $abc = 000$

dyn. FH hazard



$abc = 100$
 $abc = 101$
 $abc = 001$
 $abc = 000$

Vorteilhaftigkeit in CPLD ~ FPGA



CMOS-SRAM

1-Zelle:

