

Me

Mikroelektronik

Mooresches Gesetz

Anzahl der Transistoren verdoppelt sich ca. alle 18 Mon.; Taktfrequenz verdoppelt sich etwa alle 18-24 Mon.

Skalierungsfaktor

Kanallänge verringert sich ständig durch neue Technologiegenerationen;  $S \approx 0,6$  bis  $0,8$  bei Technologiesprung (~alle 2 Jahre)  $S = \frac{L_{neu}}{L_{alt}}$

Ladungsträgerdichte

$n_i = 1,4 \cdot 10^{10} \text{ cm}^{-3}$   $n_i^2 = n_p = N_B \cdot p = n \cdot N_A$   $e = 1,6022 \cdot 10^{-19} \text{ C}$   $k_B = 1,38 \cdot 10^{-23} \frac{\text{J}}{\text{K}}$   $U_T = \frac{k_B \cdot T}{e} = 25,9 \text{ mV}$

Fermi-Potential

Maß für den Grad der Dotierung eines Si-Gebietes  $\phi_F = \frac{k_B \cdot T}{e} \cdot \ln\left(\frac{N_B}{n_i}\right)$  (für n-dot),  $\phi_F = \frac{k_B \cdot T}{e} \cdot \ln\left(\frac{n_i}{N_A}\right)$  (für p-dot)

Fermi-niveau des dot. Materials:

$W_{F,d} = W_{F,i} + e \cdot \phi_F$  mit  $W_{F,i} = \frac{1,12 \text{ eV}}{2} = 0,56 \text{ eV}$

Bewertigkeit E-Feld

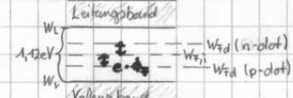
Driftgeschwindigkeit:

$v = \mu \cdot E$

Fläche

$\mu_p = 480 \frac{\text{cm}^2}{\text{Vs}}$

$\mu_n = 1350 \frac{\text{cm}^2}{\text{Vs}}$



Leitfähigkeit

$G_{undot.} = e \cdot n_i \cdot (\mu_n + \mu_p) \cdot \frac{A}{d}$   $G_{n-dot.} = e \cdot N_D \cdot \mu_n \cdot \frac{A}{d}$   $G_{p-dot.} = e \cdot N_A \cdot \mu_p \cdot \frac{A}{d}$   $G_{cu} = \sigma_{cu} \cdot \frac{A}{d}$

Diffusionspegel

$u_D = \frac{k_B \cdot T}{e} \cdot \ln\left(\frac{N_B \cdot N_A}{n_i^2}\right)$  Energiedifferenz:  $\Delta E = e \cdot u_D = E_C - E_V$

pn-Übergang

Sperreffekt:  $\ominus$  an n-Zone, RLZ vergrößert sich, Dicke sperrt  $\rightarrow$  verhält sich wie Kondensator

Durchsperreffekt:  $\ominus$  an n-Zone, Weite d. Sperrschicht schrumpft, Abnahme d. Bandenbiegung, Überschreiten d. Durchl. Spg ( $U_{sp}$ )  $\rightarrow$  starker Strom

Feldeffekt (MOS-Transistor):

durch eine Spg am Gate kann die Leitfähigkeit an der Oberfläche des Si-Substrats (Kanal d. Transistor) kapazitiv durch d. Feld beeinflusst werden

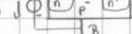
Anreicherung:

(Accumulation) Anreicherung v. Majoritätsträgern am Metall-Oxid-Halbleiterübergang durch neg. ( $p$ ) bzw. pos. ( $n$ ) Spg zu G-Substrat

Verarmung:

(Depletion) Verarmung von Majoritätsträgern am Metall-Oxid-Halbleiterübergang durch pos. ( $p$ ) bzw. neg. ( $n$ ) Spg zu Gate-Substrat

MOS-FET



durch Accumulation sinkt d. Widerstand im Kanal, pn-Übergänge sind gesperrt, Widerstand zw. S-D ändert sich nicht

durch Verarmung im Kanal werden Akzeptoratome ionisiert, 1 Elektron besetzt freien Platz des Si-Valenzelektrons  $\rightarrow$  ortsfeste RLZ; sind freie Plätze über Akzeptoratome besetzt, führt weitere Erhöhung d. Gatespg zu freien Elektronen; Spannungszunahme d. Leitfähigkeit d. Kanals, der nun niederohmig an d. S ange bunden

Def. Source-Anschluß:

**NMOS** liegt näher beim **VSS**-Potential, **PMOS** liegt näher beim **VDD**-Potential  $\rightarrow$  FETs des d. MOS-FETs beruht immer auf **Inversion!**

schwache Inversion (NMOS):

nicht alle Akzeptoratom sind ionisiert; Gatespg führt zu Bandenbiegung (Bandenmodell); Reflektanzhochwertigkeit d. Elektronen im Leitungsband wird größer

starke Inversion (NMOS):

alle Akzeptoratom an der Oberfläche sind ionisiert; weitere Erhöhung der Gatespg führt zu freien Elektronen  $\rightarrow$  Erhöhung der Leitfähigkeit des Kanals

Oberflächenpotential (bei starker Inversion):

$\phi_S = 2 \cdot \phi_{F,Substrat} = 2 \left( \frac{k_B \cdot T}{e} \right) \cdot \ln\left(\frac{N_D}{n_i}\right)$  Flachbandspg:  $u_{FB} = \phi_{F,Substrat} - \phi_{F,Gate}$

$E_{r,ox} = 3,9$

Ladungsträgerdichte (freie Ladung)

$Q_n = C_{ox}(u_{gs} - u_{th})$  für  $u_{gs} > u_{th}$ , sonst  $Q_n = 0$  spezifische Oxidkapazität  $C_{ox} = \frac{\epsilon_0 \cdot \epsilon_r}{t_{ox}}$

$\epsilon_0 = 8,85 \cdot 10^{-12} \frac{\text{F}}{\text{m}}$

Body-Effekt:

zusätzliche Spg  $u_{gs}$  vergrößert RLZ, d. h. für gleiche Spg  $\phi_S = 2 \cdot \phi_F$  wird höhere Ladungsmenge auf Gate benötigt, die durch höhere Gatespg. kompensiert werden muß  $\rightarrow$  geringere Leitfähigkeit

Substratschwellenfaktor:

$\gamma = \frac{1}{C_{ox}} \cdot \sqrt{2 \cdot e \cdot N_B \cdot \epsilon_{Si}}$  Schwellenspg  $u_{th} = -2 \phi_F + u_{FB} - \frac{Q_{ss}}{C_{ox}} + \gamma \cdot \sqrt{|u_{FB}| + |2 \cdot \phi_F|}$

Substratschwellenspg vergrößert Schwellenspg

für lin. Bereich:

$Q_n(L) = C_{ox}((u_{gs} - u_{th}) - u_{ds})$  vertikales Feld wird von lateralem Feld überlagert,  $\rightarrow$  Oberflächenpotential wird reduziert

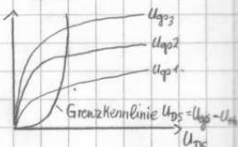
$Q_n(L) = 0 \rightarrow u_{ds} = u_{gs} - u_{th}$  Abschürzung (Sättigung): keine freien Ladungsträger  $u_{ds,sat} = u_{gs} - u_{th}$

Linearer Bereich ( $u_{gs} - u_{th} > u_{ds}$ ):

$I_d = \mu \cdot C_{ox} \cdot \frac{W}{L} ((u_{gs} - u_{th}) \cdot u_{ds} - \frac{1}{2} (u_{ds})^2)$  lin. Näherung:  $I_{ds} = \beta \cdot (u_{gs} - u_{th}) \cdot u_{ds}$  (für kleine  $u_{ds}$ )

Sättigung ( $u_{gs} - u_{th} < u_{ds}$ ):

$I_d = \frac{1}{2} \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} (u_{gs} - u_{th})^2$



Verstärkungsfaktor:

$\beta = \mu \cdot C_{ox} \cdot \frac{W}{L}$  Transkonduktanz  $g_m = \frac{dI_{ds}}{du_{gs}} \Big|_{u_{ds} = \text{const}} = \beta \cdot u_{ds}$ , Steilheit

spez. Widerstand (Schichtwiderstand):

$R_{ds,\sigma} = \frac{1}{\mu \cdot Q_n}$  (bezogen auf Einheitsfläche des Kanals)

Gesamtwiderstand

$R_{ds} = R_{ds,\sigma} \cdot \frac{L}{W} = \frac{1}{\mu \cdot C_{ox} \cdot (u_{gs} - u_{th})} \cdot \frac{L}{W}$  (stellt lin. Zusammenhang zw. Drainspg  $u_{ds}$  & Drainstrom  $I_{ds}$  her)

Sättigung:

wird eigentliche Inversionskanal kürzer  $I_d = \frac{1}{2} \mu_n \cdot C_{ox} \cdot \frac{W}{L} ((u_{gs} - u_{th})^2 \cdot (1 + \alpha \cdot u_{ds}))$

Kurzkanaleffekt

Drainstrom ist nicht mehr abhängig von der Drain-Source-Spg

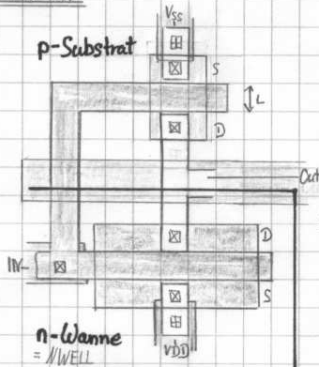
Subschwellen-Strome:

für schwache Inversion ( $u_{gs} < u_{th}$ )  $I_d = I_0 \cdot \exp\left(\frac{e}{2 \cdot k_B \cdot T} \cdot (u_{gs} - u_{th})\right)$

He

MOS-Inverter

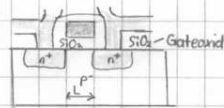
Layout:



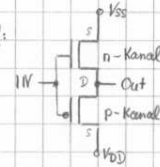
Legende:

- n-Kanal-MOS  $n^+$
- p-Kanal-MOS  $p^+$
- Gate Poly-Si
- Metall 1
- p-Substrat: p
- n-Wanne: n

Schichtaufbau (NMOS):



Schaltbild:

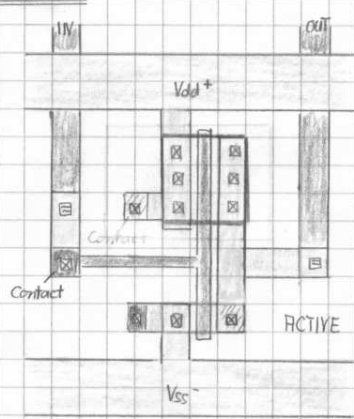


- NWELL v PWELL: Ionenimplantation von Phosphor  $\wedge$  Bohr definiert die n- bzw p-Wannengebiete  $\rightarrow$  gezieltes Einstellen der Schwellspannung
- ACTIVE: Definition der aktiven Gebiete, die nicht von Feldoxid überdeckt werden
- Poly: Definition der Poly-Si-Leitzüge, Poly über ACTIVE ist ein Transistor (selbstjustierend)
- N+DIFF  $\wedge$  P+DIFF:  $n^+$   $\wedge$   $p^+$ -Dotierung für die Erzeugung der Source/Bulk/Drain-Gebiete der n- bzw p-Kanal-Transistoren
- Contact (Active/Poly): Kontaktkloch zw Si-Substrat (z.B. Drain/Source)  $\wedge$  1. Metallisierungslage, sowie zw Poly-Si  $\wedge$  1. Metallisierungslage
- Metal: Def. der Leitzüge der 1. Metallebene V1: Verbindung der Metallebenen
- PAD: Def. Öffnung in der Passivierung für den Anschluss des Chips an das Gehäuse durch die Bonddrähte

Front-End  
Back-End

CMOS-Inverter

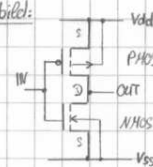
Layout:



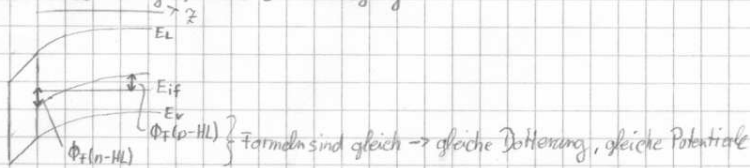
Legende:

- Metall 1
- Metall 2
- Poly-Si
- N+DIFF  $n^+$
- Contact PDIFF/Metall 1
- Contact NDIFF/Metall 1
- Contact Metall 1/Poly-Si
- NWELL
- PDIFF

Schaltbild:



Bändermodell: Energie führt zu Bandenbiegung



Übergang von schwacher zur starken Inversion:  $\mu_{sp} = 4\mu_n$

$\Phi_s = 2 \cdot \Phi_f$  Die Konzentration der Elektronen muss gleich der Konzentration der Löcher im Bulk sein

He

Transferfkt des CMOS-Inverters  $\beta_n = \mu_n \cdot C_{ox} \cdot \frac{W_n}{L_n}$  Beweglichkeit  $\beta_p = \mu_p \cdot C_{ox} \cdot \frac{W_p}{L_p} \left[ \frac{E}{V^2} \right]$

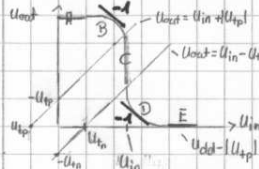
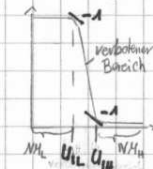
linear:

$$I_{dn} = \beta_n (U_{in} - U_{tn}) U_{out} - \frac{1}{2} U_{out}^2 \quad I_{dp} = \beta_p (U_{in} - U_{dd} - U_{tp}) (U_{out} - U_{dd}) - \frac{1}{2} (U_{out} - U_{dd})^2$$

Sättigung:

$$I_{dn} = \frac{1}{2} \beta_n (U_{in} - U_{tn})^2 \quad I_{dp} = \frac{1}{2} \beta_p (U_{in} - U_{dd} - U_{tp})^2$$

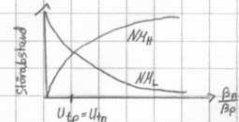
ergibt:  $I_{dn} = -I_{dp} \rightarrow U_{tp} < 0 \sqrt{\frac{\beta_n}{\beta_p}}$



- A: p: lin, n: gesättigt  $\rightarrow I_d = 0, U_{out} = U_{dd}$
- B: p: lin, n: Sättigung  $\rightarrow$  Widerstand (p)  $\uparrow$  Stromquelle (n)
- C: p = n = Sättigung  $\rightarrow$  beide Stromquellen "labiles Gleichgewicht"  $U_{in}^{max}$  Drainstrom!
- D: p: Sättigung, n: lin  $\rightarrow$  Stromquelle (p)  $\wedge$  Widerstand (n)
- E: p: gesättigt, n: lin  $\rightarrow I_d = 0, U_{out} = 0V$

Logische Schwellspann d. Inverters

$$U_{in} = \frac{U_{dd} + U_{tp} + U_{tn} \cdot \sqrt{\beta_n/\beta_p}}{1 + \sqrt{\beta_n/\beta_p}}$$



Störabstand

$$NM_L = \frac{3 \cdot U_{dd} - 3 \cdot |U_{tp}| + 5 U_{tn}}{8} \quad NM_H = \frac{3 \cdot U_{dd} + 5 \cdot |U_{tp}| - 3 U_{tn}}{8}$$

für  $\beta_p = \beta_n$ :  $U_{0H} = U_{dd} \wedge U_{0L} = 0V$

$$= |U_{HL, max} - U_{OL, max}| \quad = |U_{OH, min} - U_{IH, min}|$$

Schaltzeiten des Inverters

Abfallzeit

$$t_f = 2 \frac{C_L}{\beta_n (U_{dd} - U_{tn})} \left[ \frac{U_{tn} - 0,1 \cdot U_{dd}}{U_{dd} - U_{tn}} + \frac{1}{2} \ln \left( \frac{19 \cdot U_{dd} - 20 \cdot U_{tn}}{U_{dd}} \right) \right] = \frac{3,7 \cdot C_L}{\beta_n \cdot U_{dd}}$$

Lineares Verzögerungsmodell

Anstiegszeit

$$t_r = 2 \frac{C_L}{\beta_p (U_{dd} - |U_{tp}|)} \left[ \frac{|U_{tp}| - 0,1 \cdot U_{dd}}{U_{dd} - |U_{tp}|} + \frac{1}{2} \ln \left( \frac{19 \cdot U_{dd} - 20 \cdot |U_{tp}|}{U_{dd}} \right) \right] = \frac{3,7 \cdot C_L}{\beta_p \cdot U_{dd}}$$

Sym. Schaltzeiten:

für  $\beta_n = \beta_p$   $\frac{W_n}{W_p} \approx \frac{\mu_p}{\mu_n} \approx \frac{1}{3}$   $\beta = KP \cdot \frac{W}{L}$  mit  $KP = \mu \cdot C_{ox}$

Eingangskapazität eines Transistors

$$C_g = C_{gd} + C_{gb} + C_{gs} = \frac{\epsilon_0 \cdot \epsilon_r}{t_{ox}}$$

$$C_{inverter} = C_{g, NMOS} + C_{g, PMOS} \quad \left| \frac{W_n}{L_n} = \frac{3,7 \cdot C_L}{U_{dd} \cdot \mu_n \cdot C_{ox} \cdot t_f} \right.$$

Leistungsaufnahme des CMOS-Inverters

statischer Stromverbrauch:  $P_{stat} = U_{dd} \cdot I_s \left( \exp \left( \frac{e \cdot U}{k_B \cdot T} \right) - 1 \right) + U_{dd} \cdot I_0 \cdot \exp \left( \frac{e}{2 \cdot k_B \cdot T} \cdot (U_{gp} - U_{th}) \right)$

durch 'Leckströme' der SiD-Dioden & des Subthreshold-Stromim Kanal

dynamischer Stromverbrauch:  $P_{short} = I_{av} \cdot U_{dd} = \frac{\beta}{12} (U_{dd} - 2 \cdot U_t)^3 \cdot t_{r,f} \cdot f$

durch Kurzschlussströme beim Umschalten

$$\bar{P}_{load} = C_L \cdot U_{dd}^2 \cdot f$$

Loadkapazität  $\cdot$  Versorgungsspannung  $\cdot$  Schaltfrequenz

durch Laden/Entladen der Lastkapazität

Entwurfprozess für Schaltfunktionen

DNF; Minimierung der Fkt mit dem Ziel möglichst wenig Eingangsvariablen in negierter v nicht-negierter Form (je 1 Transistor!)

ODER: Parallelschaltung, UND: Serienschaltung  $a \cdot b = \overline{\overline{a} \cdot \overline{b}}$

PMOS-Netzwerk: (an  $V_{DD}$ )

NMOS-Netzwerk: (GND)

minimierte Form; negierte Literale können direkt an den jeweiligen Transistor angeschlossen werden; nichtnegierte  $\rightarrow$  Inverter

PMOS-Netzwerk nach d. Morgan invertieren  $f_n = \overline{f_p}$

nicht-negierte Literale direkt anschließen; negierte Literale müssen zuerst negiert werden  $\rightarrow$  Inverter

$\Rightarrow$  Prüfung, ob bei Realisierung der invertierten Schaltfkt mit Inverter am Ausgang eine geringere Anzahl v. Transistoren entsteht

Schaltszeiten von Komplexgattern

Serienschaltung v. Transistoren: erhöht Widerstand über den die Lastkapazität entladen/geladen wird (Faktor 2 bei Transistoren mit gleichem  $\beta$ )  
 ^ damit die Schaltzeit entsprechend

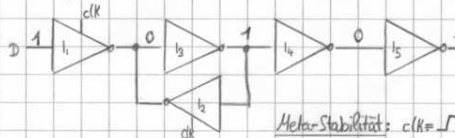
- Regeln:
- mehr als 5 Transistoren in Serie  $\rightarrow$  Fkt in 2 oder mehr einzelne Gatter aufteilen
  - p-Transistoren besitzen eine schlechte Beweglichkeit  $\rightarrow$  Serienschaltung von p-Transistoren vermeiden
  - Layout sollte möglichst so ausgeführt werden, daß die 'geschalteten' Knoten, insbesondere der Ausgangsknoten möglichst wenig Kapazität aufweist  $\rightarrow$  möglichst kleine v. wenige Source/Drain-Gebiete

$$t_f = n \cdot R \cdot C_L \quad t_r = R \cdot C_L \quad t_{av} = \frac{1}{\text{average}} (t_r + t_f) = \frac{1}{2} R \cdot C_L (1+n)$$

Latch: pegelgesteuert, weniger Transistoren  
 FlipFlop: flankengeteuert, immer für Schaltwerk!



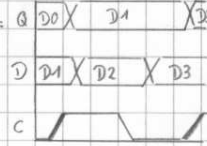
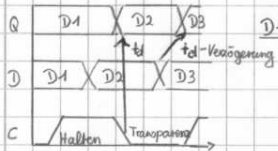
Fkt-weise d. D-Latches



$clk=0$ :  $I_1$  durchlässig,  $I_2$  hochohmig  $\rightarrow$  Latch transparent  
 $clk=1$ :  $I_1$  hochohmig,  $I_2$  durchlässig  $\rightarrow$  Rückkopplung hält alten Wert

Meta-Stabilität:  $clk = \neg$ ,  $I_1, I_2$  träben gleichzeitig, wenn D sich ändert  $\rightarrow$  meta-stabiler Zustand

D-Latch:



Fkt des D-FFs:  
 Phase 1: 1. Latch hält Daten  
 2. Latch ist transparent  
 Phase 2: 1. Latch ist transparent  
 2. Latch hält Daten  
 $\rightarrow$  2 Latch hält zuerst, dann wird 1. Latch transparent

Taktverteilung

Latenz: Phasenverschiebung von internem ^ externem Takt  
 Taktversatz (Skew): Phasenverschiebung zw internen FFs

Logik  
 $t_{sk} < t_d + t_L - t_{ho} \rightarrow$  Verbesserung durch 'H-Struktur'

Kürzester Pfad:

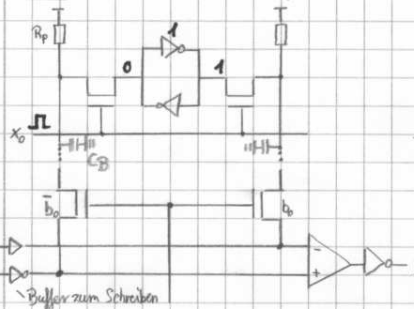
$t_{sk} < t_d - t_{ho}$  Problem bei tiefen Temperaturen ^ hohen Spg.  $t_{min} > t_{sk} - t_d + t_{ho}$  ggf. Laufzeitverlängerung

Längster / Kritischer Pfad:

$t_{clk} > t_{sk} + t_d + t_{Lmax} + t_{su}$  "Bedingung für max. Taktrate" Problem: hohe Temp., tiefe Spg

SRAM - Static Random Access Memory

Speicherzelle



Auslesen der Speicherzelle erfolgt differentiell mit Hilfe von 2 Bitleitungen ( $b_0, \bar{b}_0$ ) ^ einem Differenzverstärker  $\rightarrow$  Lesezeit: unter 5ns

Widerstände:  $R_p$   
 $C_B$  = Kapazität  
 $R \cdot C_B$

Zeile: n-Adressen  $\rightarrow 2^n$ -Zeilen  
 Spalte: m-Adressen  $\rightarrow 2^m$ -Spalten  
 Ausgänge/Eingänge (Daten)  $\rightarrow q$  in bit

Anzahl d. Bits:  $2^n \cdot 2^m \cdot q$

Speichermatrix:

In den Kreuzungspunkten der Zeilen bzw Wortleitungen WL ^ Spalten Bitleitungen BL sitzen die Speicherzellen.  
 Eine Speicherzelle wird zum Schreiben v. Lesen ausgewählt, indem die zugehörigen Wort- ^ Bitleitungen aktiviert wird (high-aktiv)

Zeilen- / Spaltendekoder:

Dekodieren aus den Adressleitungen die Wortleitungen (Zeilendekoder) ^ Bitleitungen (Spaltendekoder)

Der Spaltendekoder wählt über den Spaltenmultiplexer q Bitleitungen aus, die auf die Schreibschaltung / Leseverstärker geschaltet werden

Steuerlogik

setzt die anliegenden Steuersignale (ChipEN, RD, WR) in interne Abläufe um